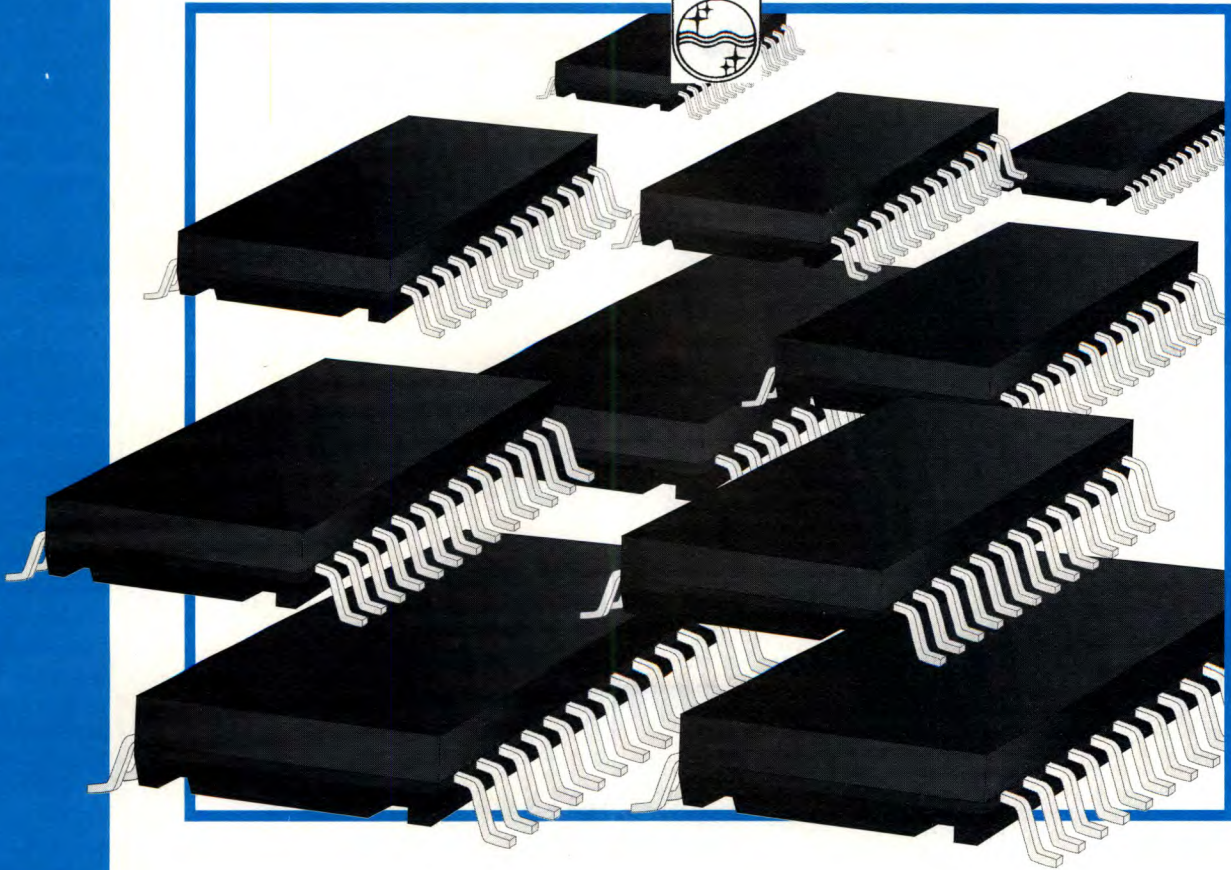


# I DATA SHEET DI FARE ELETTRONICA

- LINEARI E TELECOMUNICAZIONI •
- RADIO E SISTEMI AUDIO •
- VIDEO E SISTEMI VIDEO • TTL •

IN COLLABORAZIONE CON



## LM339

## NE/SA568A



# LM 339: QUADRUPLIO COMPARATORE DI TENSIONE

## DESCRIZIONE

La serie LM139, di cui LM339 fa parte, è composta da quattro comparatori indipendenti con una tensione di offset inferiore a 2 mV per ognuno di essi, i quali sono stati studiati per lavorare con una sorgente di tensione singola entro un vasto campo di tensioni. Sono possibili anche alimentazioni split nel qual caso il low drain è indipendente dall'ampiezza della tensione di alimentazione. Questi comparatori hanno la caratteristica di avere ingressi di modo comune con la massa anche se alimentati con tensione singola. La serie LM 139 è stata studiata per essere interfacciata direttamente con logiche TTL e CMOS. Alimentandoli in modo duale, gli LM possono essere interfacciati direttamente con le logiche MOS che hanno un low drain particolare.

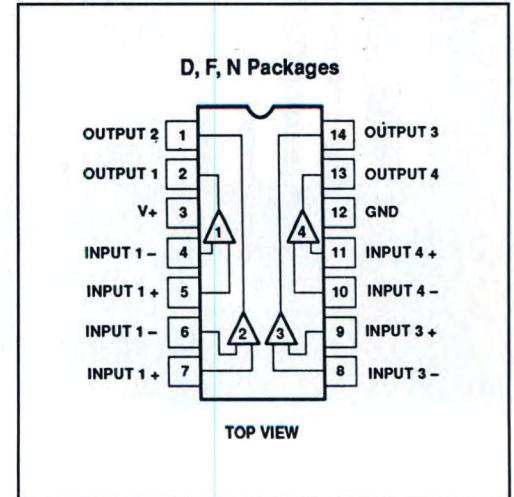
## CARATTERISTICHE

- Vasto campo di alimentazioni singole da 2.0  $V_{DC}$  a 36  $V_{DC}$  e alimentazioni duali da  $\pm 1.0 V_{DC}$  a  $\pm 18 V_{DC}$
- Corrente di drain molto bassa (0,8 mA) e indipendente dalla tensione di alimentazione
- Corrente di polarizzazione ad ingresso basso di 25 nA
- Corrente di offset ad ingresso basso  $\pm 5$  nA
- Gli ingressi di modo comune includono la massa
- Campo di tensioni d'ingresso differenziali uguale all'alimentazione
- Tensione di saturazione ad uscita bassa 250 mV a 4 mA
- Uscite compatibili con logiche TTL, DTL, ECL, MOS e CMOS

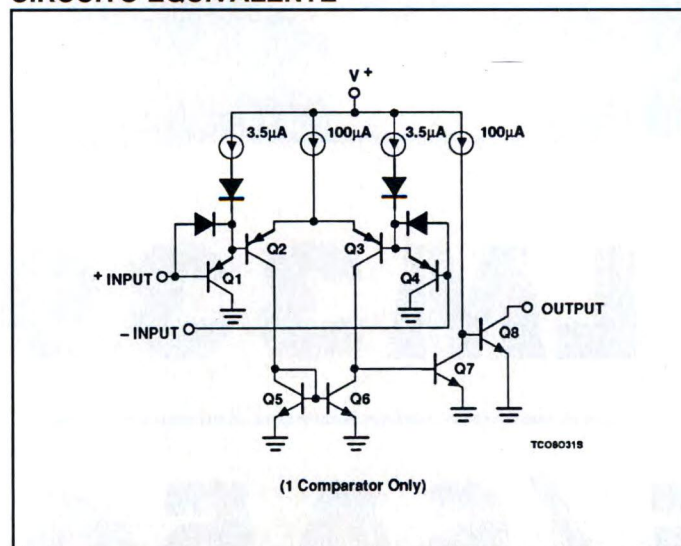
## APPLICAZIONI

- Convertitori A/D
- VCO
- Generatori di clock MOS
- Porte logiche ad alta tensione
- Multivibratori

## PIEDINATURA



## CIRCUITO EQUIVALENTE





## ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
14-Pin Cerdip	-55 to +125°C	LM139F
14-Pin Plastic DIP	-25°C to +85°C	LM239AN
14-Pin Plastic DIP	-25°C to +85°C	LM239N
14-Pin Plastic SO	-25°C to +85°C	LM239D
14-Pin Plastic DIP	-40°C to +85°C	LM2901N
14-Pin Plastic SO	-40°C to +85°C	LM2901D
14-Pin Plastic DIP	0 to +70°C	LM339AN
14-Pin Plastic SO	0 to +70°C	LM339D
14-Pin Plastic DIP	0 to +70°C	LM339N
14-Pin Plastic SO	-40°C to +85°C	MC3302D
14-Pin Cerdip	-40°C to +85°C	MC3302F
14-Pin Plastic DIP	-40°C to +85°C	MC3302N

## VALORI MASSIMI ASSOLUTI

SYMBOL	PARAMETER	RATING	UNIT
$V_{CC}$	$V_{CC}$ supply voltage	36 or $\pm 18$	$V_{DC}$
$V_{DIFF}$	Differential input voltage	36	$V_{DC}$
$V_{IN}$	Input voltage <sup>2</sup>	-0.3 to +36	$V_{DC}$
$P_D$	Maximum power dissipation, $T_A=25^\circ\text{C}$ (still-air) <sup>1</sup>		
	F package	1190	mW
	N package	1420	mW
	D package	1040	mW
	Output short-circuit to ground <sup>2</sup>	Continuous	
$I_{IN}$	Input current ( $V_{IN} < -0.3V_{DC}$ ) <sup>3</sup>	50	mA
$T_A$	Operating temperature range		
	LM139A	-55 to +125	°C
	LM239A	-25 to +85	°C
	LM339A	0 to +70	°C
	LM2901/MC3302	-40 to +85	°C
$T_{STG}$	Storage temperature range	-65 to +150	°C
$T_{SOLD}$	Lead soldering temperature (10sec max)	300	°C

## NOTE:

1. Derate sotto i 25°C, per i seguenti valori:

F Package a 9,5 mW/°C

N Package a 11,4 mW/°C

D Package a 8,3 mW/°C

2. Cortocircuiti tra l'uscita e  $V_+$  possono causare eccessivi surriscaldamenti e l'eventuale distruzione. La massima tensione d'uscita corrisponde circa a 20 mA indipendentemente dall'ampiezza di  $V_+$ .

3. Questa corrente d'ingresso esiste solo con ingresso negativo. Ciò è dovuto all'effetto della giunzione collettore-base del transistor d'ingresso PNP che, polarizzata direttamente, agisce come un diodo clamping. A questa azione del diodo si aggiunge anche quella parassita del transistor NPN sul chip. Tutto questo può portare la tensione d'uscita dei comparatori a livello  $V_+$  (o a massa per un overdrive) per tutto il tempo in cui l'ingresso rimane negativo. Questa transizione non è distruttiva e l'uscita tornerà normale non appena l'ingresso, che era negativo, ritornerà ad un valore maggiore di  $-0.3 V_{DC}$ .



## CARATTERISTICHE ELETTRICHE DC E AC

$V_+ = 5 V_{DC}$ , LM139A/LM139:  $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ ; LM239:  $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ ; LM339:  $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ ; LM339A:  $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ ; LM239A:  $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ ; LM2901/LM3302:  $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ , se non altrimenti specificato

SYMBOL	PARAMETER	TEST CONDITIONS	LM139A			LM239A/339A			UNIT
			Min	Typ	Max	Min	Typ	Max	
$V_{OS}$	Input offset voltage <sup>2</sup>	$T_A=25^\circ\text{C}$ Over temp.		$\pm 1.0$	$\pm 2.0$ $\pm 4.0$		$\pm 1.0$	$\pm 2.0$ $\pm 4.0$	mV mV
$V_{CM}$	Input common-mode voltage range <sup>3</sup>	$T_A=25^\circ\text{C}$ Over temp.	0 0		$V_+-1.5$ $V_+-2.0$	0 0		$V_+-1.5$ $V_+-2.0$	V
$V_{IDR}$	Differential input voltage <sup>1</sup>	Keep all $V_{IN^s} \geq 0V_{DC}$ (or $V_-$ if need)			$V_+$			$V_+$	V
$I_{BIAS}$	Input bias current <sup>4</sup>	$I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range $T_A=25^\circ\text{C}$ Over temp.		25	100 300		25	250 400	nA nA
$I_{OS}$	Input offset current	$I_{IN(+)} - I_{IN(-)}$ $T_A=25^\circ\text{C}$ Over temp.		$\pm 3.0$	$\pm 25$ $\pm 100$		$\pm 5.0$	$\pm 50$ $\pm 150$	nA nA
$I_{OL}$	Output sink current	$V_{IN(-)} \geq 1V_{DC}$ , $V_{IN(+)} = 0$ , $V_O \leq 1.5V_{DC}$ , $T_A=25^\circ\text{C}$ $V_O=800\text{mV}$ , over temp.	6.0	16		6.0	16		mA
$I_{OH}$	Output leakage current	$V_{IN(+)} \geq 1V_{DC}$ , $V_{IN(-)} = 0$ $V_O = 5V_{DC}$ , $T_A=25^\circ\text{C}$ $V_O = 30V_{DC}$ , over temp.		0.1	1.0		0.1	1.0	nA $\mu\text{A}$
$I_{CC}$	Supply current	$V_+ = 5V$ , $R_L = \infty$ on comparators, $T_A=25^\circ\text{C}$ $V_+ = 30V$		0.8	2.0		0.8	2.0	mA
$A_V$	Voltage gain	$R_L \geq 15\text{k}\Omega$ , $V_+ = 15V_{DC}$	50	200		50	200		V/mV
$V_{OL}$	Saturation voltage	$V_{IN(-)} \geq 1V_{DC}$ , $V_{IN(+)} = 0$ , $I_{SINK} \leq 4\text{mA}$ $T_A=25^\circ\text{C}$ Over temp.		250	400 700		250	400 700	mV mV
$t_{LSR}$	Large-signal response time	$V_{IN} = \text{TTL logic swing}$ , $V_{REF} = 1.4V_{DC}$ , $V_{RL} = 5V_{DC}$ , $R_L = 5.1\text{k}\Omega$ , $T_A = 25^\circ\text{C}$		300			300		ns
$t_R$	Response time <sup>5</sup>	$V_{RL} = 5V_{DC}$ , $R_L = 5.1\text{k}\Omega$ , $T_A = 25^\circ\text{C}$		1.3			1.3		$\mu\text{s}$

Vedere note alla fine delle caratteristiche elettriche



**CARATTERISTICHE ELETTRICHE DC E AC (segue)**

SYMBOL	PARAMETER	TEST CONDITIONS	LM139			LM239/339			UNIT
			Min	Typ	Max	Min	Typ	Max	
$V_{OS}$	Input offset voltage <sup>2</sup>	$T_A=25^\circ\text{C}$ Over temp.		$\pm 2.0$	$\pm 5.0$ $\pm 9.0$		$\pm 2.0$	$\pm 5.0$ $\pm 9.0$	mV mV
$V_{CM}$	Input common-mode voltage range <sup>3</sup>	$T_A=25^\circ\text{C}$ Over temp.	0 0		$V+ - 1.5$ $V+ - 2.0$	0 0		$V+ - 1.5$ $V+ - 2.0$	V
$V_{IDR}$	Differential input voltage <sup>1</sup>	Keep all $V_{IN} \geq 0V_{DC}$ (or $V-$ if need)			$V+$			$V+$	V
$I_{BIAS}$	Input bias current <sup>4</sup>	$I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range $T_A=25^\circ\text{C}$ Over temp.		25	100 300		25	250 400	nA nA
$I_{OS}$	Input offset current	$I_{IN(+)} - I_{IN(-)}$ $T_A=25^\circ\text{C}$ Over temp.		$\pm 3.0$	$\pm 25$ $\pm 100$		$\pm 5.0$	$\pm 50$ $\pm 150$	nA nA
$I_{OL}$	Output sink current	$V_{IN(-)} \geq 1V_{DC}$ , $V_{IN(+)} = 0$ , $V_O \leq 1.5V_{DC}$ , $T_A=25^\circ\text{C}$ $V_O=800\text{mV}$ , over temp.	6.0	16		6.0	16		mA
$I_{OH}$	Output leakage current	$V_{IN(+)} \geq 1V_{DC}$ , $V_{IN(-)} = 0$ $V_O = 5V_{DC}$ , $T_A=25^\circ\text{C}$ $V_O = 30V_{DC}$ , over temp.		0.1			0.1		nA $\mu\text{A}$
$I_{CC}$	Supply current	$V+ = 5V$ , $R_L = \infty$ on comparators, $T_A=25^\circ\text{C}$ $V+ = 30V$		0.8	2.0		0.8	2.0	mA
$A_V$	Voltage gain	$R_L \geq 15\text{k}\Omega$ , $V+ = 15V_{DC}$	50	200		50	200		V/mV
$V_{OL}$	Saturation voltage	$V_{IN(-)} \geq 1V_{DC}$ , $V_{IN(+)} = 0$ , $I_{SINK} \leq 4\text{mA}$ $T_A=25^\circ\text{C}$ Over temp.		250	400 700		250	400 700	mV mV
$t_{LSR}$	Large-signal response time	$V_{IN} = \text{TTL logic swing}$ , $V_{REF} = 1.4V_{DC}$ , $V_{RL} = 5V_{DC}$ , $R_L = 5.1\text{k}\Omega$ , $T_A = 25^\circ\text{C}$		300			300		ns
$t_R$	Response time <sup>5</sup>	$V_{RL} = 5V_{DC}$ , $R_L = 5.1\text{k}\Omega$ , $T_A = 25^\circ\text{C}$		1.3			1.3		$\mu\text{s}$

Vedere note nella pagina seguente



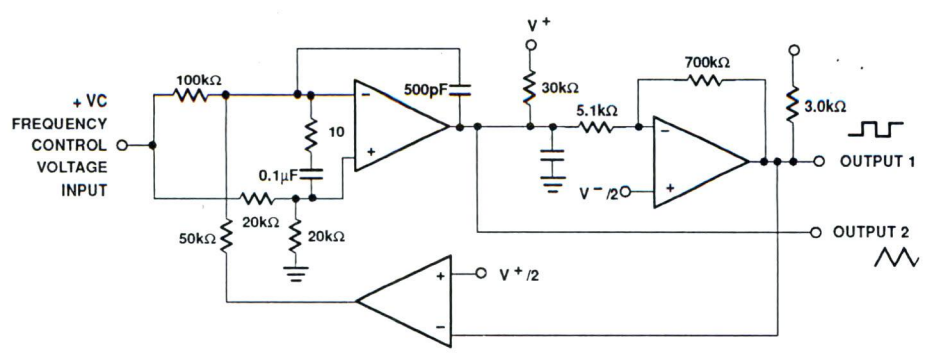
## CARATTERISTICHE ELETTRICHE DC E AC (segue)

SYM-BOL	PARAMETER	TEST CONDITIONS	LM2901			MC3302			UNIT
			Min	Typ	Max	Min	Typ	Max	
V <sub>OS</sub>	Input offset voltage <sup>2</sup>	T <sub>A</sub> =25°C Over temp.		±2.0	±7.0		±3.0	±20	mV
				±9	±15			±40	mV
V <sub>CM</sub>	Input common-mode voltage range <sup>3</sup>	T <sub>A</sub> =25°C Over temp.	0 0		V <sub>+</sub> -1.5 V <sub>+</sub> -2.0	0 0		V <sub>+</sub> -1.5 V <sub>+</sub> -2.0	V
V <sub>IDR</sub>	Differential input voltage <sup>1</sup>	Keep all V <sub>IN</sub> <sup>s</sup> ≥ 0V <sub>DC</sub> (or V <sub>-</sub> if need)			V <sub>+</sub>			V <sub>+</sub>	V
I <sub>BIAS</sub>	Input bias current <sup>4</sup>	I <sub>IN(+)</sub> or I <sub>IN(-)</sub> with output in linear range T <sub>A</sub> =25°C Over temp.		25 200	250 500		25 500	1000	nA nA
I <sub>OS</sub>	Input offset current	I <sub>IN(+)</sub> -I <sub>IN(-)</sub> T <sub>A</sub> =25°C Over temp.		±5 ±50	±50 ±200		±5 ±100	±300	nA nA
I <sub>OL</sub>	Output sink current	V <sub>IN(-)</sub> ≥ 1V <sub>DC</sub> , V <sub>IN(+)</sub> = 0, V <sub>O</sub> ≤ 1.5V <sub>DC</sub> , T <sub>A</sub> = 25°C V <sub>O</sub> = 800mV, over temp.	6.0	16			6		mA
						2.0			mA
I <sub>OH</sub>	Output leakage current	V <sub>IN(+)</sub> ≥ 1V <sub>DC</sub> , V <sub>IN(-)</sub> = 0 V <sub>O</sub> = 5V <sub>DC</sub> , T <sub>A</sub> = 25°C V <sub>O</sub> = 30V <sub>DC</sub> , over temp.		0.1			0.1		nA
					1.0			1.0	μA
I <sub>CC</sub>	Supply current	V <sub>+</sub> = 5V, R <sub>L</sub> = ∞ on comparators, T <sub>A</sub> = 25°C V <sub>+</sub> = 30V		0.8 1.0	2.0 2.5		.8 1.8		mA
A <sub>v</sub>	Voltage gain	R <sub>L</sub> ≥ 15kΩ, V <sub>+</sub> = 15V <sub>DC</sub>	25	100		2	100		V/mV
V <sub>OL</sub>	Saturation voltage	V <sub>IN(-)</sub> ≥ 1V <sub>DC</sub> , V <sub>IN(+)</sub> = 0, I <sub>SINK</sub> ≤ 4mA T <sub>A</sub> = 25°C Over temp.		400	400 700		150	400 700	mV mV
t <sub>LSR</sub>	Large-signal response time	V <sub>IN</sub> = TTL logic swing, V <sub>REF</sub> = 1.4V <sub>DC</sub> , V <sub>RL</sub> = 5V <sub>DC</sub> , R <sub>L</sub> = 5.1kΩ, T <sub>A</sub> = 25°C		300			300		ns
t <sub>R</sub>	Response time <sup>5</sup>	V <sub>RL</sub> = 5V <sub>DC</sub> , R <sub>L</sub> = 5.1kΩ, T <sub>A</sub> = 25°C		1.3			1.3		μs

## NOTE:

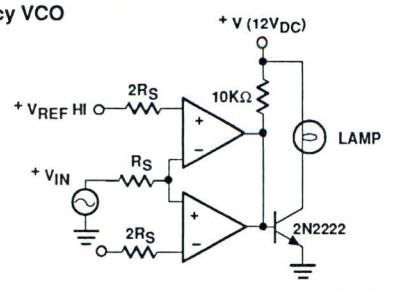
1. L'escursione positiva della tensione d'ingresso può superare il livello di alimentazione di 17 V. Finché le altre tensioni rimangono nel range di modo comune, il comparatore fornisce l'appropriato stato d'uscita. La tensione d'ingresso non deve scendere al disotto di -0,3 V<sub>DC</sub> (o 0,3 V<sub>DC</sub> inferiore all'ampiezza della tensione di alimentazione negativa, quando questa venga utilizzata).
2. Allo switch point d'uscita, V<sub>O</sub> = 1,4 V<sub>DC</sub>, R<sub>S</sub> = 0Ω con V<sub>+</sub> da 5 V<sub>DC</sub> a 30 V<sub>DC</sub>; e nel campo di modo comune d'ingresso (da 0 V<sub>DC</sub> a V<sub>+</sub> - 1,5 V<sub>DC</sub>). Gli ingressi dei comparatori inutilizzati devono essere messi a massa.
3. La tensione d'ingresso di modo comune o entrambi i segnali d'ingresso, non possono essere negativi oltre gli 0,3 V. Il limite superiore del campo di tensioni di modo comune è V<sub>+</sub> - 1,5 V ma ognuno o entrambi gli ingressi possono raggiungere i 30 V<sub>DC</sub> senza recare danno.
4. La direzione della corrente in ingresso è in uscita dall'IC a causa dello stadio d'ingresso che è PNP. Questa corrente è costante, indipendentemente dallo stato dell'uscita e quindi non avviene nessuna variazione di carico sulle linee d'ingresso e su quella di riferimento.
5. Il tempo di risposta specificato è per passi d'ingresso di 100 mV con un overdrive di 5 mV. Per segnali di overdrive maggiori, si possono ottenere 300 ns.



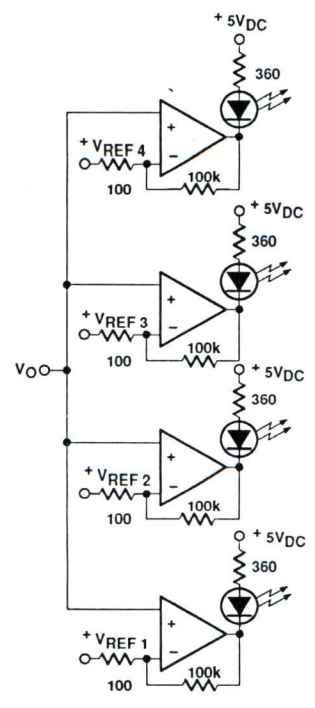


Two-Decade High-Frequency VCO

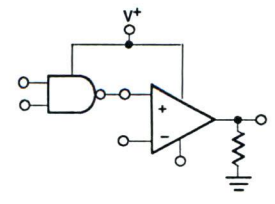
NOTES:  
 $V+ = 30V_{DC}$   
 $+250mV_{DC} \leq V_C = 50V_{DC}$   
 $700H \leq f_O = 100kHz$



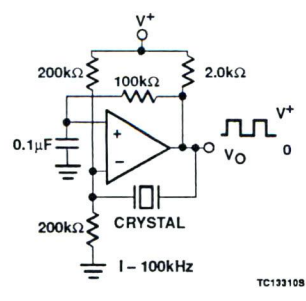
Limit Comparator



Visible Voltage Indicator



TTL-to-MOS Logic Converter

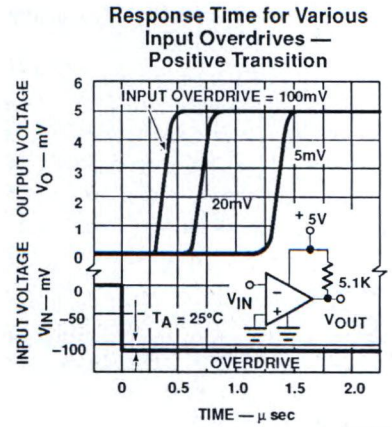
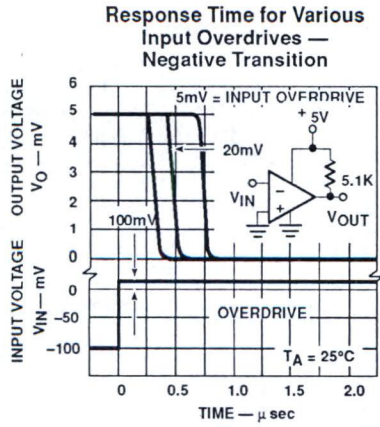
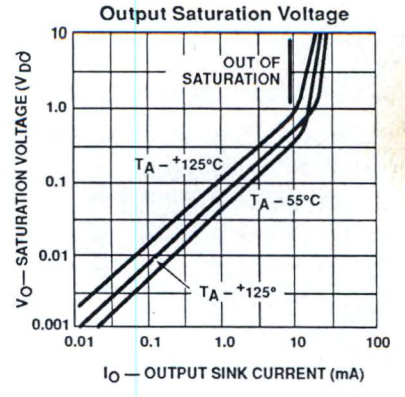
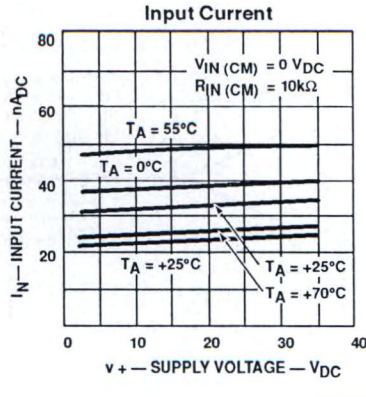
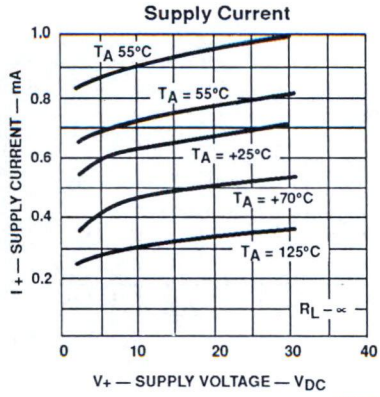


Crystal-Controlled Oscillator

NOTE:  
 Input of unused comparators should be grounded.



CURVE CARATTERISTICHE





# NE/SA 568A: PLL a 150 MHz

## DESCRIZIONE

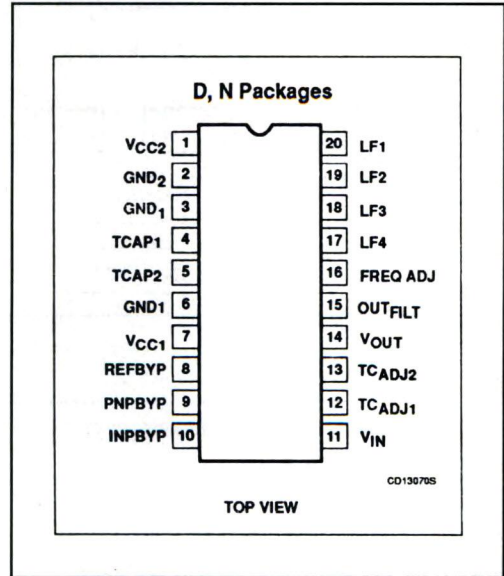
L'NE/SA 568A è un PLL (Phase Locked Loop) che opera con frequenze da 1 Hz a 150 MHz e funziona entro un vasto campo di alimentazione. Il coefficiente di temperatura minore alla frequenza centrale  $V_{CO}$  è inferiore a quello del suo predecessore, l'NE 568. L'NE568A è compatibile pin-to-pin con l'NE568, e richiede solo piccole variazioni nel circuito periferico (vedere Figura 1). La rete di compensazione della temperatura è diversa, non c'è nessun resistore sul piedino 12 che deve essere collegato a massa e il piedino 13 ha un resistore da 3,9 k $\Omega$  verso massa. Il condensatore di temporizzazione C2 ha un valore diverso infatti per le operazioni a 70 MHz con compensazione di temperatura, deve essere da 16 pF e non più da 34 pF come quello usato nell'NE 568. All'NE568A sono stati apportati i seguenti miglioramenti: protezione da ESD; Vcc estesa da 4,5 V a 5,5 V; campo di temperature operative da -55°C a 125°C; minore Tc (frequenza centrale) del VCO. Il circuito integrato è composto da un amplificatore

limitatore, un oscillatore controllato in corrente (ICO), un phase-detector, un circuito level shift, convertitori V/I e I/V, un'uscita buffer e circuiteria di polarizzazione con compensazione di temperatura e frequenza. Il progetto dell'NE568A è particolarmente adatto alla demodulazione di segnali FM con deviazioni estremamente ampie destinate a sistemi che richiedono un'uscita molto lineare. Nei ricevitori da satellite con IF da 70 MHz, l'NE568A può demodulare deviazioni del  $\pm 20\%$  con non-linearità inferiore all'1%. Oltre all'alta linearità, il circuito prevede un filtro ad anello configurabile in serie o in shunt per ottimizzare le caratteristiche dinamiche del loop. L'NE568A è disponibile in contenitore plastico da 20 pin DIL o 20 pin SO (SMD)

## CARATTERISTICHE

- Lavora fino a 150 MHz
- Alta linearità dell'uscita bufferizzata
- Filtri loop in serie o a shunt
- Controllo di guadagno del loop esterno
- Temperatura compensata
- Protetto da ESD<sup>1</sup>

## PIEDINATURA



## APPLICAZIONI

- Ricevitori da satellite
- Collegamenti video in fibra ottica
- Demodulatori VHF FSK
- Clock Recovery

## ORDERING INFORMATION

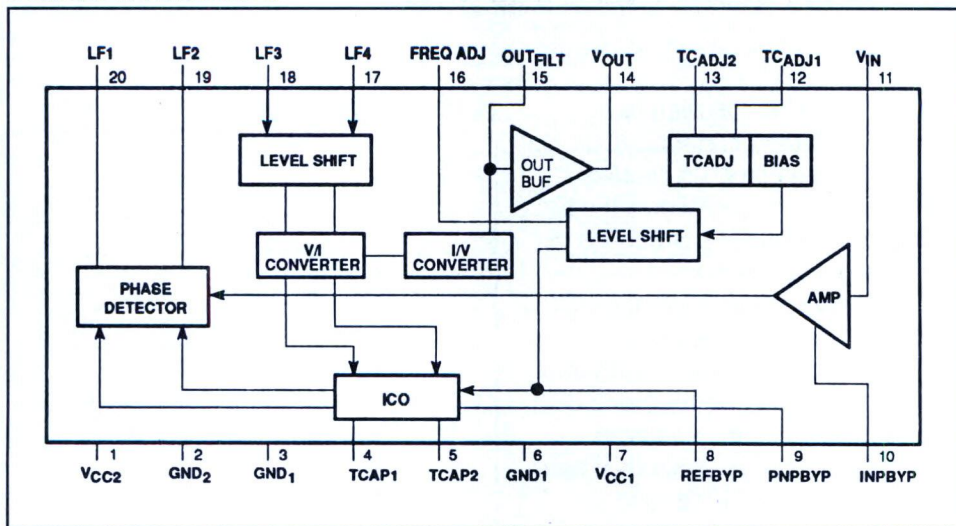
DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
20-Pin Plastic SOL	0 to +70°C	NE568AD
20-Pin Plastic DIP	0 to +70°C	NE568AN
20-Pin Plastic SOL	-40 to +85°C	SA568AD
20-Pin Plastic DIP	-40 to +85°C	SA568AN

## NOTA:

1. I piedini 4 e 5 possono sopportare fino a 1000 V, e tutti gli altri piedini, più di 3000 V.



**SCHEMA A BLOCCHI**



**VALORI MASSIMI ASSOLUTI**

SYMBOL	PARAMETER	RATING	UNITS
V <sub>CC</sub>	Supply voltage	6	V
T <sub>J</sub>	Junction temperature	+150	°C
T <sub>STG</sub>	Storage temperature range	-65 to +150	°C
P <sub>DMAX</sub>	Maximum power dissipation	400	mW
θ <sub>JA</sub>	Thermal resistance	80	°C/W

Le caratteristiche elettriche sotto riportate sono state rilevate con un tester IC automatico.

**CARATTERISTICHE ELETTRICHE DC**

V<sub>CC</sub> = 5 V; T<sub>A</sub> = 25°C; f<sub>o</sub> = 70 MHz; Test circuit Figura 1, f<sub>IN</sub> = -20 dBm, R<sub>4</sub> = 3,9 kΩ, se non altrimenti specificato

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNITS
			NE/SA568A			
			MIN	TYP	MAX	
V <sub>CC</sub>	Supply voltage		4.5	5	5.5	V
I <sub>CC</sub>	Supply current			54	70	mA



## CARATTERISTICHE ELETTRICHE AC

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNITS
			NE/SA568A			
			MIN	TYP	MAX	
$f_{osc}$	Maximum oscillator operating frequency <sup>3</sup>		150			MHz
	Input signal level		50 -20 <sup>1</sup>		2000 +10	mV <sub>p,p</sub> dBm
BW	Demodulated bandwidth			$f_o/7$		MHz
	Non-linearity <sup>5</sup>	Dev = $\pm 20\%$ , Input = -20dBm		1.0	4.0	%
	Lock range <sup>2</sup>	Input = -20dBm	$\pm 25$	$\pm 35$		% of $f_o$
	Capture range <sup>2</sup>	Input = -20dBm	$\pm 20$	$\pm 30$		% of $f_o$
	TC of $f_o$	Figure 1		100		ppm/ $^{\circ}$ C
$R_{IN}$	Input resistance <sup>4</sup>		1			k $\Omega$
	Output impedance			6		$\Omega$
	Demodulated $V_{OUT}$	Dev = $\pm 20\%$ of $f_o$ measured at Pin 14	0.40	0.52		V <sub>p,p</sub>
	AM rejection	$V_{IN}$ = -20dBm (30% AM) referred to $\pm 20\%$ deviation		50		dB
$f_o$	Distribution <sup>6</sup>	Centered at 70MHz, $R_2 = 1.2k\Omega$ , $C_2 = 16pF$ , $R_4 = 3.9\Omega$ ( $C_2 + C_{STRAY} = 20pF$ )	-15	0	+15	%
$f_o$	Drift with supply	4.5V to 5.5V		2		%/V

### NOTE:

1. Livello di segnale per assicurare tutti i parametri pubblicati. L'unità continua a funzionare anche a livelli più bassi con caratteristiche variate.
2. I limiti sono simmetrici a  $F_o$ . Le caratteristiche attuali possono subire asimmetrie dai limiti specificati.
3. Non è stato testato al 100% ma ci si è attenuti a quanto garantito dal progetto.
4. L'impedenza d'ingresso dipende dal contenitore e dalla capacità del layout. Vedere Figure 4 e 5.
5. La linearità è stata testata con variazioni incrementali della frequenza d'ingresso e tramite misurazione della tensione d'uscita DC sul piedino 14 ( $V_{OUT}$ ). La non-linearità è stata quindi calcolata al disopra del campo di deviazione specificato.
6. La frequenza libera è misurata come controreazione al piedino 14 ( $V_{OUT}$ ) senza alcun segnale d'ingresso.



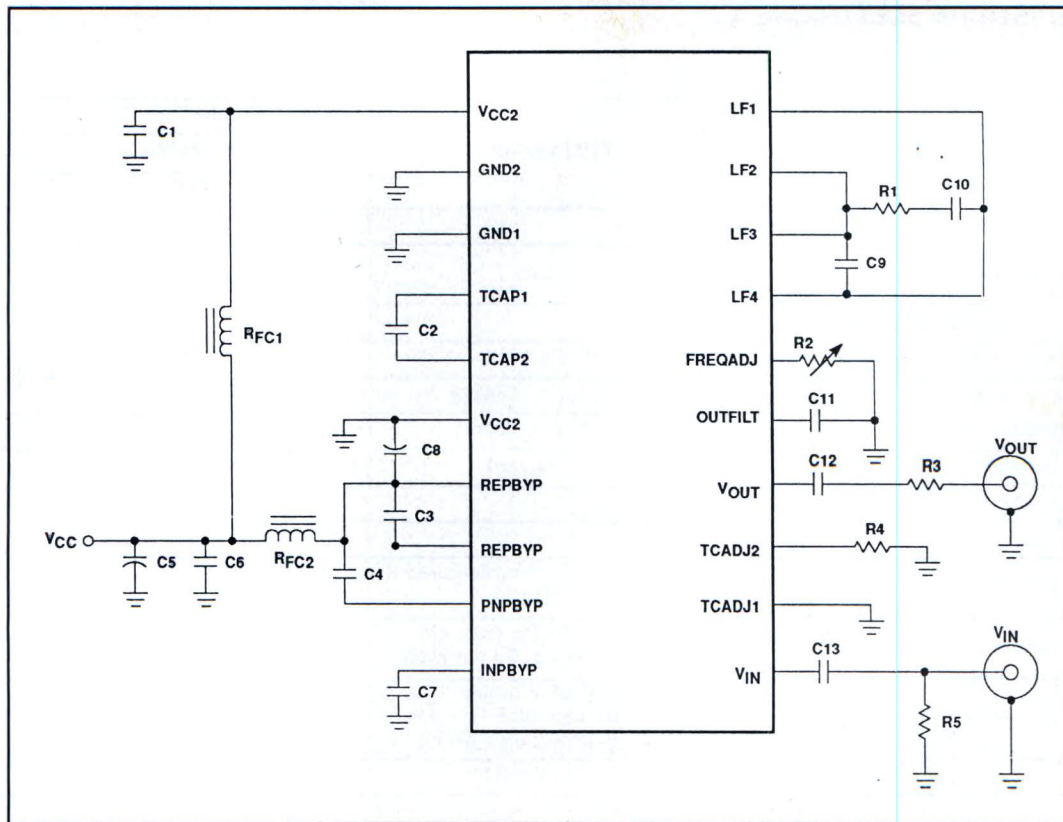


Figura 1. Schema elettrico per i parametri AC.

## FUNZIONAMENTO

L'NE568A è un PLL a 150 MHz ad alte prestazioni. Il circuito è composto da elementi convenzionali PLL, con particolare circuiteria per uscite demodulate linearizzate e per alta frequenza. Il processo si avvale di un transistor NPN con  $f_t > 6$  GHz. L'alto guadagno e la larghezza di banda di questo transistor richiedono molta attenzione nel disegnare il layout e i bypass. Le qualità del PLL non possono essere valutate indipendentemente dal layout. L'uso dell'applicazione riportata in questo data sheet e il montaggio dei condensatori SMD vogliono servire solo come un trampolino di lancio. L'ingresso del PLL avviene attraverso un amplificatore limitatore con un guadagno di 200. L'ingresso di questo amplificatore è differenziale (piedini 10 e 11). Per applicazioni single-ended, l'ingresso deve essere accoppiato mediante un condensa-

torio di blocco per la continua con bassa impedenza alla frequenza interessata. L'ingresso single-ended viene normalmente collegato al piedino 10 bypassato da un condensatore a bassa impedenza. L'impedenza d'ingresso è leggermente inferiore ai 500  $\Omega$ . Quando la sorgente è a 50 o 75  $\Omega$ , è di solito necessario un condensatore che blocchi la continua. L'amplificazione d'ingresso è bassa abbastanza da assicurare un ragionevole tempo di risposta nel caso di segnali ampi, ma sufficiente per assicurare una buona ricezione AM. Dopo l'amplificazione, il segnale d'ingresso pilota una porta di un phase-detector. Una seconda porta è pilotata dall'oscillatore per il controllo di tensione (ICO). L'uscita del comparatore di fase è una tensione proporzionale alla differenza di fase dei segnali d'ingresso. Il segnale di errore viene filtrato da un filtro passa-

basso per fornire una correzione della tensione continua; questa tensione viene convertita in corrente e quindi applicata all'ICO. L'oscillatore è un multivibratore controllato in corrente. Il controllo della corrente influisce sul rapporto carica/scarica del condensatore di timing. È usuale per questo tipo di oscillatore essere controllato in tensione (VCO), poiché l'uscita del filtro loop è appunto una tensione. Per controllare la frequenza di un multivibratore integrato ICO, il segnale di controllo deve essere gestito da un convertitore corrente-tensione. Nell'NE568A, uno speciale circuito predistorce il segnale di controllo per variare la linearità entro un vasto campo di tensioni di controllo. La frequenza libera dell'oscillatore dipende dal valore del condensatore di timing collegato tra i piedini 4 e 5. Il valore di questo condensatore dipende dalla resistenza dei componenti interni e dalla



sorgente di corrente.  
 Con  $R_2 = 1,2 \text{ k}\Omega$  e  $R_4 = 0 \Omega$ ,  
 un'approssimazione molto vicina  
 al valore del condensatore è:

$$C^* = \frac{0,0014}{f_0} \text{ F}$$

dove

$$C^* = C_2 + C_{\text{STRAY}}$$

Il resistore per la compensazione  
 di temperatura,  $R_4$ , influisce sul  
 valore corrente della capacità.

Questa equazione viene norma-  
 lizzata a 70 MHz. Il filtro loop  
 determina le caratteristiche  
 dinamiche dell'anello. Nella  
 maggior parte dei PLL, le uscite  
 del phase detector sono interna-  
 mente collegate agli ingressi  
 ICO. L'NE568A è stato concepito

con uscite e ingressi esterni per il  
 filtro: dal piedino 20 ( $\emptyset$  DET) al  
 piedino 17 (ICO), e dal piedino  
 19 ( $\emptyset$  DET) al 18 (ICO). Questo  
 permette di usare sia elementi in  
 serie che filtri shunt. Le costanti  
 loop sono:

$$K_D = 0,12 \text{ V/Radian}$$

(Phase Detector che interagisco-  
 no costantemente con resistori  
 di carico interni da 100  $\Omega$ )

$$K_D = 4,2 \cdot 10^9 \frac{\text{Radians}}{\text{V} \cdot \text{sec}} \text{ (costante ICO)}$$

Il filtro loop determina le caratteri-  
 stiche generali dell'anello. I  
 condensatori C9, C10 e il  
 resistore R1, controllano il  
 transiente d'uscita del phase-  
 detector. Il condensatore  $C_9$

sopprime il ritorno dei 70 MHz del  
 rivelatore di fase.

$$C_9 = \frac{1}{2\pi (50) (F_0)} \text{ F}$$

A 70 MHz, il valore calcolato  
 corrisponde a 45 pF. In base a  
 test applicativi è stato utilizzato  
 un condensatore da 47 pF. La  
 frequenza naturale per il filtro  
 loop è stabilita da  $C_{10}$  e  $R_1$ . Se la  
 frequenza centrale del loop  
 corrisponde a 70 MHz e si  
 desidera demodulare appieno  
 l'ampiezza di banda (ad esempio  
 $F_{\text{BW}} = F_0/7 = 10 \text{ MHz}$ ) e il valore di  
 $R_1$  è conosciuto, il valore di  $C_{10}$   
 può essere così calcolato:

$$C_{10} = \frac{1}{2\pi R_1 F_{\text{BW}}} \text{ F}$$

### ELENCO COMPONENTI E LAYOUT PER APPLICAZIONI A 40 MHz.

C <sub>1</sub>	100nF	±10%	Ceramic chip	1206
C <sub>2</sub> <sup>1</sup>	18pF	±2%	Ceramic chip	0805
C <sub>2</sub> <sup>2</sup>	16pF	±2%	Ceramic ORChip	
C <sub>3</sub>	100nF	±10%	Ceramic chip	1206
C <sub>4</sub>	100nF	±10%	Ceramic chip	1206
C <sub>5</sub>	6.8µF	±10%	Tantalum	35V
C <sub>6</sub>	100nF	±10%	Ceramic chip	1206
C <sub>7</sub>	100nF	±10%	Ceramic chip	1206
C <sub>8</sub>	100nF	±10%	Ceramic chip	1206
C <sub>9</sub>	47pF	±2%	Ceramic chip	0805 or 1206
C <sub>10</sub>	560pF	±2%	Ceramic chip	0805 or 1206
C <sub>11</sub>	47pF	±2%	Ceramic chip	0805 or 1206
C <sub>12</sub>	100nF	±10%	Ceramic chip	1206
C <sub>13</sub>	100nF	±10%	Ceramic chip	1206
R <sub>1</sub>	27Ω	±10%	Chip CR32	1/4W
R <sub>2</sub>	1.2kΩ		Trim pot	
R <sub>3</sub> <sup>3</sup>	43Ω	±10%	Chip CR32	1/4W
R <sub>4</sub> <sup>4</sup>	3.9kΩ	±10%	Chip CR32	1/4W
R <sub>5</sub> <sup>3</sup>	50Ω	±10%	Chip CR32	1/4W
RFC <sub>1</sub> <sup>5</sup>	10µH	±10%	Surface mount	
RFC <sub>2</sub> <sup>5</sup>	10µH	±10%	Surface mount	

#### NOTE:

- 18 pF con il piedino 12 a massa e il piedino 13 non collegato (aperto)
- $C_2 + C_{\text{STRAY}} = 16 \text{ pF}$  per una compensazione in temperatura con  $R_4 = 3,9 \text{ k}\Omega$ .
- Per setup a 50  $\Omega$ .  $R_1 = 62 \Omega$ ,  $R_3 = 75 \Omega$  per applicazioni a 75  $\Omega$
- Per il test  $R_4 = 0 \Omega$  (GND) e  $C_2 = 18 \text{ pF}$ .
- Resistori da 0  $\Omega$  (ponticelli) possono essere inseriti senza variare le caratteristiche.



## ELENCO COMPONENTI E LAYOUT PER APPLICAZIONI A 70 MHz.

C <sub>1</sub>	100nF	±10%	Ceramic chip	50V
C <sub>2</sub> <sup>1</sup>	18pF	±2%	Ceramic chip	50V
C <sub>2</sub> <sup>2</sup>	16pF	±2%	Ceramic chip	0805
C <sub>3</sub>	100nF	±10%	Ceramic chip	50V
C <sub>4</sub>	100nF	±10%	Ceramic chip	50V
C <sub>5</sub>	6.8μF	±10%	Tantalum	35V
C <sub>6</sub>	100nF	±10%	Ceramic chip	50V
C <sub>7</sub>	100nF	±10%	Ceramic chip	50V
C <sub>8</sub>	100nF	±10%	Ceramic chip	50V
C <sub>9</sub>	47pF	±2%	Ceramic chip	50V
C <sub>10</sub>	560pF	±2%	Ceramic chip	50V
C <sub>11</sub>	47pF	±2%	Ceramic chip	50V
C <sub>12</sub>	100nF	±10%	Ceramic chip	50V
C <sub>13</sub>	100nF	±10%	Ceramic chip	50V
R <sub>1</sub>	27Ω	±10%	Ceramic chip CR32	1/4W
R <sub>2</sub>	1.2kΩ		Trim pot	
R <sub>3</sub> <sup>3</sup>	43Ω	±10%	Ceramic chip CR32	1/4W
R <sub>4</sub> <sup>4</sup>	3.9kΩ	±10%	Ceramic chip CR32	1/4W
R <sub>5</sub> <sup>3</sup>	50Ω	±10%	Ceramic chip CR32	1/4W
RFC <sub>1</sub>	10μH	±10%	Surface mount	
RFC <sub>2</sub>	10μH	±10%	Surface mount	

**NOTE:**

- 18 pF con il piedino 12 a massa e il piedino 13 non collegato (aperto)
- $C_2 + C_{\text{STRAY}} = 16$  pF per compensazione in temperatura con  $R_4 = 3,9$  kΩ.
- Per setup a 50 Ω.  $R_1 = 62$  Ω,  $R_3 = 75$  Ω per applicazioni a 75 Ω
- Per il test  $R_4 = 0$  Ω (GND) e  $C_2 = 18$  pF.



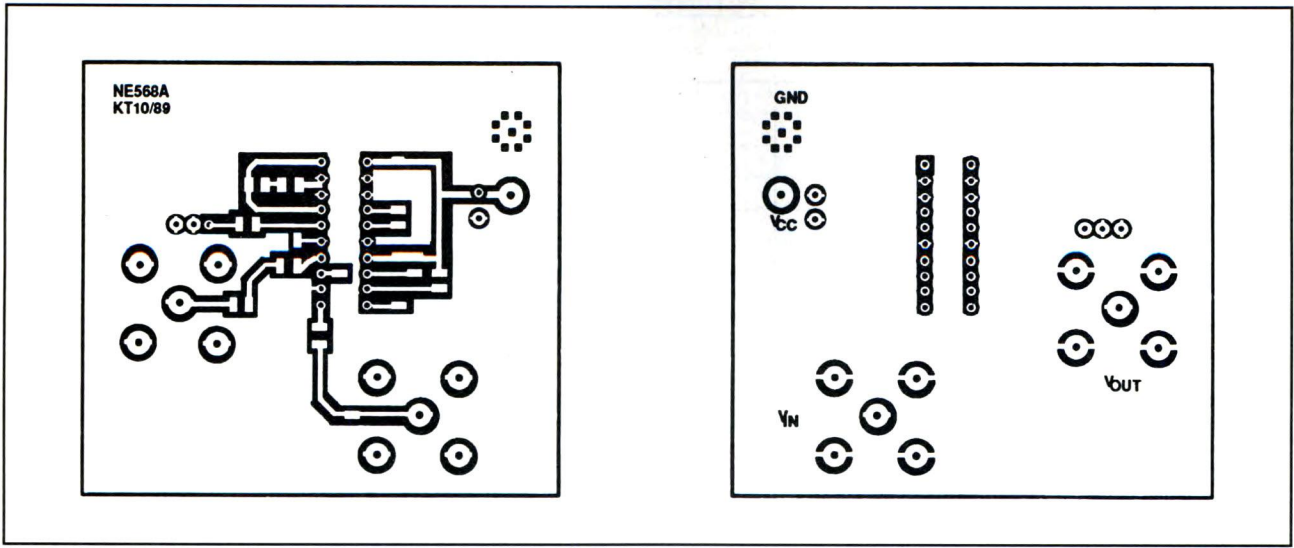


Figura 2. Layout del package N (non in scala naturale)

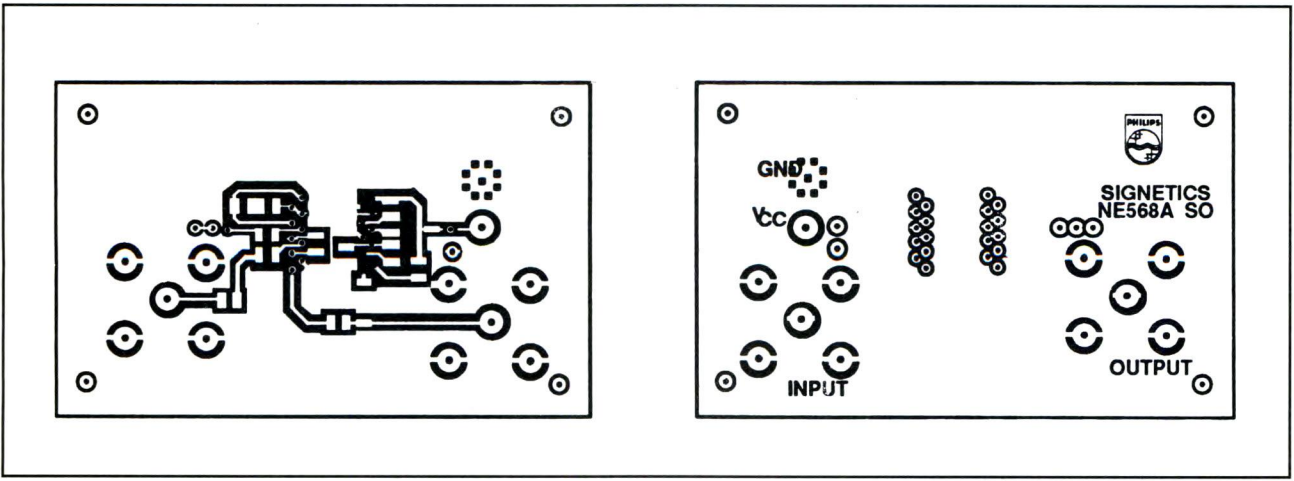


Figura 3. Layout del package D (non in scala naturale)

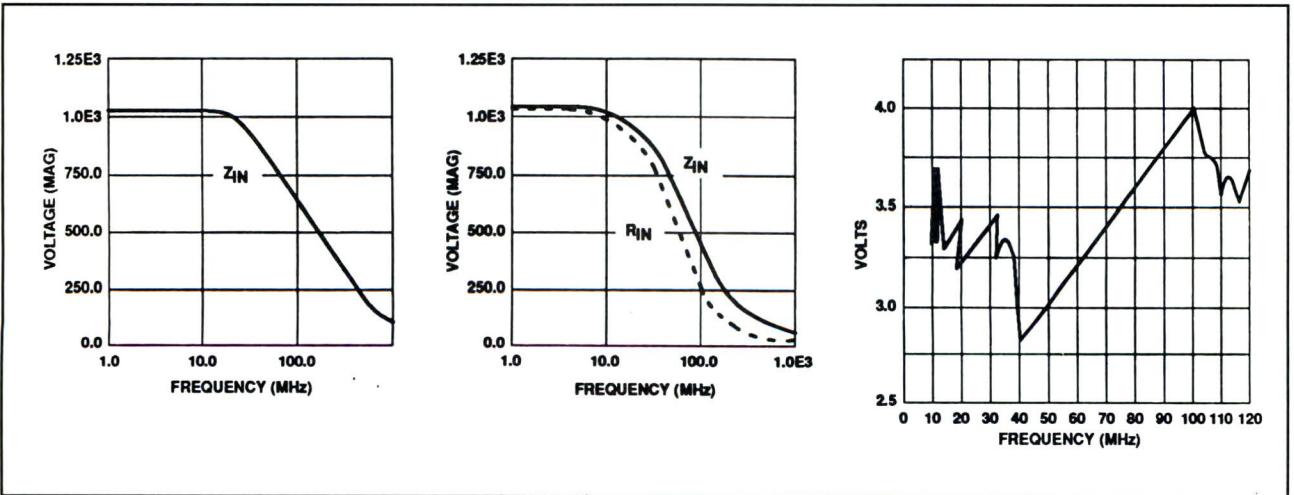


Figura 4. Impedenza d'ingresso dell'NE568A con CP=0,5 pF e contenitore SO a 20 pin

Figura 5. Impedenza d'ingresso dell'NE568A con CP=1,49 pF e contenitore DIL a 20 pin

Figura 6. Linearità tipica d'uscita.



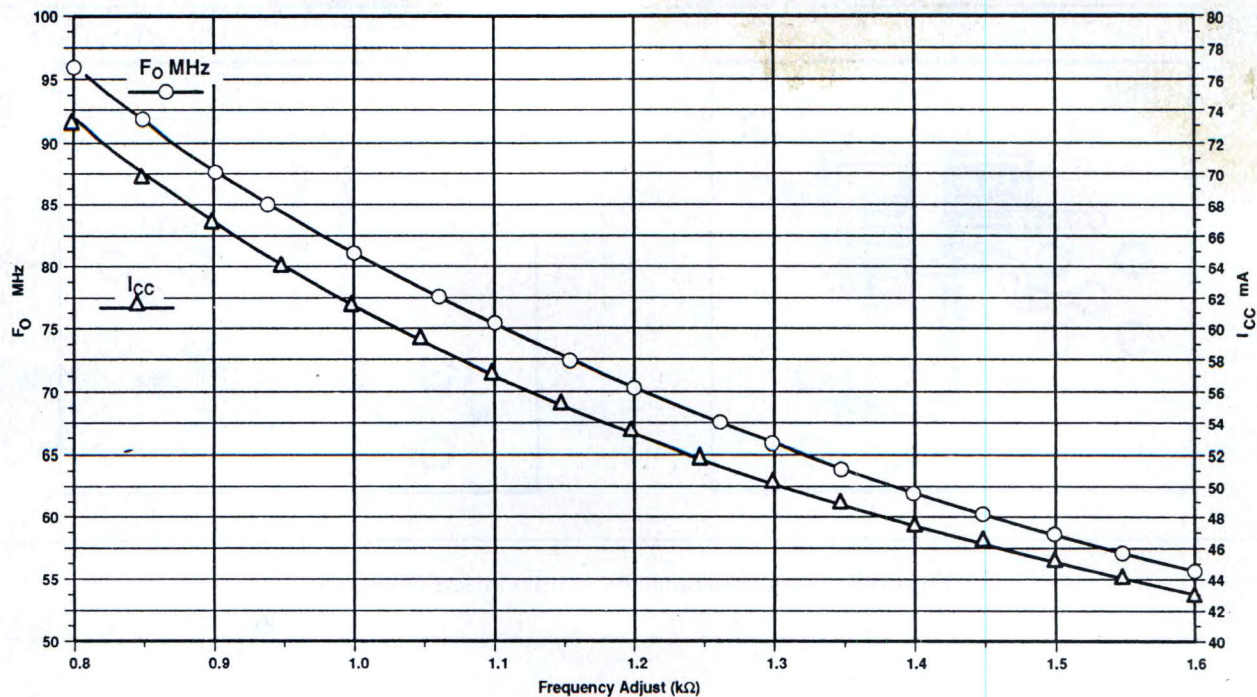


Figura 7. NE568: Regolazione di frequenza in funzione di  $F_0$  e  $I_{cc}$ .

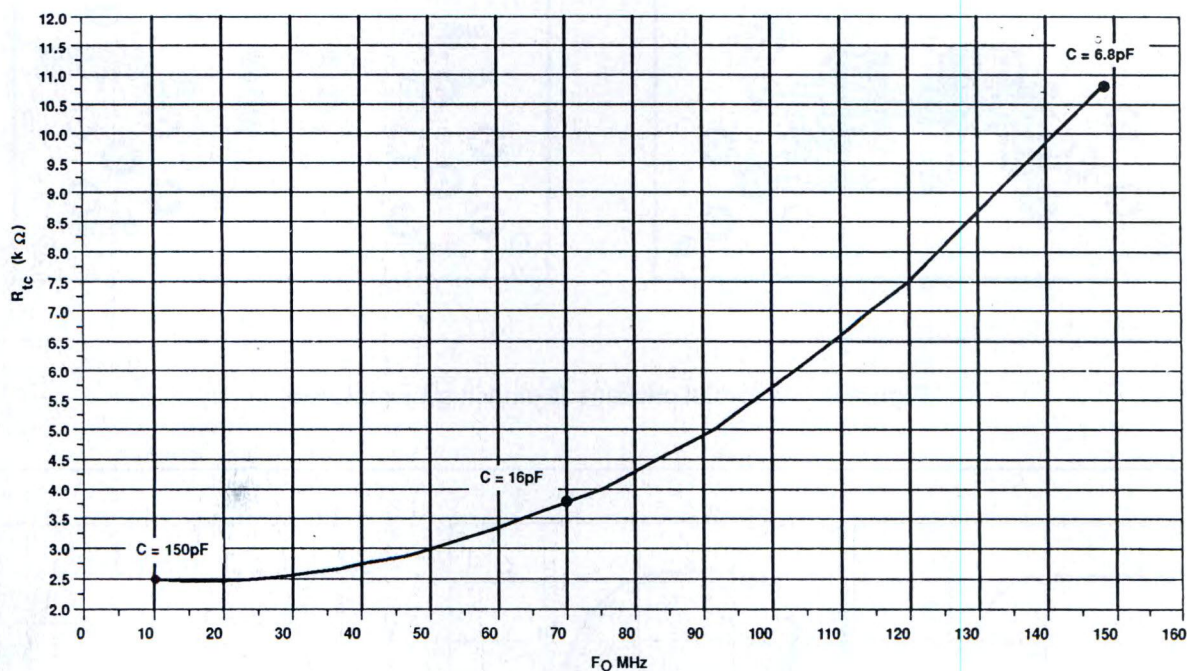


Figura 8. NE568A:  $R_{tc}$  (piedino 13) in funzione di  $F_0$ ; scegliere il resistore per la compensazione di temperatura ottimale.

SUL PROSSIMO NUMERO...

TDA1524A: CONTROLLO STEREO TONO/VOLUME

TDA1029: COMMUTATORE DI SEGNALE